

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135560

(43)Date of publication of application : 21.05.1999

---

(51)Int.Cl. H01L 21/60

H01L 21/60

H01L 21/56

H01L 23/12

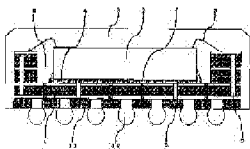
---

(21)Application number : 09-293817 (71)Applicant : NEC CORP

(22)Date of filing : 27.10.1997 (72)Inventor : TAKEDA SHINJI

---

(54) RESIN-SEALED BALL GRID ARRAY IC PACKAGE AND MANUFACTURE THEREOF



(57)Abstract:

PROBLEM TO BE SOLVED: To improve the moisture resistance and mounting stress resistance of a resin-sealed ball grid array IC package and reliability

thereof, by relaxing the package warp to obtain a package structure suited to the high-density and high speed mounting.

SOLUTION: A multilayer wiring board 1 having a passage 7 for discharging the thermally expanded water vapor in the package is provided with a recess 8 for mounting a semiconductor chip which is electrically connected and sealed at the package top face and side face with a resin to avoid the infiltration of water and relax the thermal stress when exerted thereon, thereby avoiding stripping and cracking of the package interior. Electric connections effectively utilizing the recess improve the high frequency characteristics owing to the reduction of the wiring length, etc.

---

#### LEGAL STATUS

[Date of request for examination] 27.10.1997

[Date of sending the examiner's  
decision of rejection] 13.06.2000

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3147053

[Date of registration] 12.01.2001

[Number of appeal against examiner's  
decision of rejection] 2000-10775

[Date of requesting appeal against  
examiner's decision of rejection] 13.07.2000

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The ball grid array (henceforth BGA) package characterized by coming to carry out the resin seal of the upper part and the lateral portion of a wiring substrate which arrange the ball electrode for electrical connection with external wiring on the base of a substrate, and have the multilayer-interconnection substrate which has a crevice in this base of the substrate concerned, and the principal plane which counters, the semiconductor chip by which fixing loading was carried out with the jointing material for corrugated fibreboard in the crevice concerned of this multilayer-interconnection substrate, and a means connect both electrically, and contain this semiconductor chip.

[Claim 2] The BGA package according to claim 1 characterized by having at least one hole used as the path for emitting the steam at the time of the moisture which permeated the interior of said package carrying out gaseous-phase expansion with heat in a wiring substrate.

[Claim 3] The BGA package according to claim 1 or 2 whose each of this semiconductor chip two or more crevices which have a different plane area in said multilayer-interconnection substrate or the different depth are prepared, and is characterized by connecting with the wiring section of the layer from which this multilayer-interconnection substrate differs electrically.

[Claim 4] The BGA package according to claim 1 characterized by carrying out connection loading by forming the bump according said semiconductor chip and

wiring substrate to solder or gold, and conductive resin.

[Claim 5] The pore concerned is a package given in any of claims 1-4 characterized by filling up with the proper resin ingredient they are.

[Claim 6] The pore concerned is a package given in any of claims 1-5 characterized by whether it is approached and prepared in the wall section of this crevice, and being prepared in the location between the wall sections and semiconductor chips concerned they are.

[Claim 7] The ball grid array (henceforth BGA) package manufacture approach characterized by to consist of the process which establishes the crevice which arranges the ball electrode for electrical connection with external wiring on a base, and serves as the depth for at least one layer in a multilayer-interconnection substrate, the process which carry out semiconductor chip loading with a jointing material for corrugated fibreboard in the crevice of this multilayer-interconnection substrate, a process which connect both electrically, and a process which carry out the resin seal of the upper part and the lateral portion containing the semiconductor chip by which connection loading was carried out of a wiring substrate.

[Claim 8] The BGA package manufacture approach according to claim 7 characterized by having at least one hole used as the path for emitting the steam at the time of the moisture which permeated the interior of said package carrying out gaseous-phase expansion with heat in a wiring substrate.

[Claim 9] The BGA package manufacture approach according to claim 7 characterized by having the crevice of a different plane area in said multilayer-interconnection substrate, and the different depth, and having an electrical installation part with a semiconductor chip in the layer from which a multilayer-interconnection substrate differs.

[Claim 10] The BGA package manufacture approach according to claim 7 characterized by carrying out connection loading by forming the bump according said semiconductor chip and wiring substrate to solder or gold, and conductive resin.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the plastic molded type BGA package which carried the semiconductor integrated circuit in the wiring substrate which has a ball electrode terminal for connection, and its manufacture approach.

[0002]

[Description of the Prior Art] In the semiconductor package which carries a semiconductor integrated circuit as shown in drawing 7, the surface mount mold package whose high density substrate mounting is attained more has been developed through the conventional insertion mounting mold package. The limitation of the substrate mounting technology in a narrow pitch is approached, and it is becoming impossible however, to correspond to the further miniaturization and many pin-ization with the surface mount mold package which has arranged the electrode lead on this package side face.

[0003] Then, as compared with the conventional surface mount mold package, profitableness and the plastic molded type BGA package which can be

manufactured at the cost of equivalent extent have been adopted as the miniaturization list of the package by the electrode disposition of an area array in respect of improvement in the RF property by the formation of many pins, and compaction of the wiring path in a package etc. The typical structure of the conventional plastic molded type BGA was shown, the semiconductor chip 2 was carried through the die bonding material 4 on the multilayer-interconnection substrate 1 which consists of conventional techniques with the epoxy system resin ingredient with which the solder resist 5 was applied, and drawing 7 has taken the structure where the mold of the closure resin 3 is carried out only in the substrate top-face section containing a semiconductor chip. Especially this conventional structure has the fault in respect of moisture resistance, mounting-proof thermal, and a copra nullity.

[0004] On the other hand, a semiconductor chip carries in a wiring substrate and the structure of the module type LED which has prevented exfoliation of resin and penetration of moisture because the pin-grid-array package structure which raised moisture resistance by covering the top face and the side face of a wiring substrate by the closure resin layer carries an LED chip in the wiring substrate which prepared the crevice for optical reflection as JP,62-244141,A and covers by transparency resin to the side face or the rear face of a wiring substrate is indicated as JP,4-65463,U.

[0005] Moreover, the package structure with a solder bump which carried the semiconductor chip in the wiring substrate and carried out the resin mold of a substrate top face and the side face as a package suitable for the formation of many pins and high density assembly is indicated by JP,7-86335,A and JP,2-22886,A.

[0006]

[Problem(s) to be Solved by the Invention] With the conventional plastic molded type BGA package structure mentioned above, since it is the structure where the resin seal only of the wiring substrate upper part in which the semiconductor chip was carried was carried out, the adhesion reinforcement in the interface of the

solder resist layer of a wiring substrate front face and closure resin is weak, and osmosis of the moisture from this part induces the corrosion and exfoliation inside a package, and becomes the factor which reduces the moisture resistance of the whole package greatly.

[0007] Furthermore, since an interface with resin, a chip, and a wiring substrate is the laminated structure of a two-dimensional flat surface and does not spread according to the difference of a modulus of elasticity and water absorption at the time of the coefficient of thermal expansion of closure resin and a wiring substrate, and heat when the heat stress at the time of mounting is received, it is easy to produce the exfoliation and the crack in this part. Moreover, since it does not have the emission path at the time of the moisture which permeated the interior of a package carrying out gaseous-phase expansion with mounting heat, it is easy to produce this fault. These exfoliations and generating of a crack may cause a raise in resistance or open circuit of die bonding material or substrate wiring material inside a package, and may result in the malfunction and electric poor insulation of LSI.

[0008] Moreover, it is the structure where generating of the curvature by the difference of the coefficient of linear expansion of closure resin and a wiring substrate also becomes large. Generating of such curvature causes a faulty connection of a solder bump and an external wiring substrate. It is structure inadequate also for easing the curvature of a package a top deficient in the operation which eases the stress which generates the exfoliation at the time of mounting heat stress which each technique of a publication carried out the resin mold of the upper part and the side face of a two-dimensional flat surface substrate to JP,62-244141,A ( Fig. 8 ) , JP,7-86335,A ( Fig. 9 ) , and JP,2-22886,A ( Fig. 10 ) , and was the structure of a request on the other hand , and was mentioned above since it was the simple laminating of the matter with which coefficients of thermal expansion differ , and a crack . Moreover, the technique (Fig. 11) given in JP,4-65463,U is inadequate for preventing exfoliation according to mounting heat only at having the surroundings lump section of resin, when it is

the package structure of not being suitable for high density assembly and many pin-ization. Furthermore, a technique (Fig. 11) JP,62-244141,A (Fig. 8) and given in JP,4-65463,U does not take BGA structure, and does not have a predominance on electrical characteristics.

[0009] The purpose of this invention conquers the fault in the dependability side of the moisture resistance which these conventional technique has, and mounting-proof thermal, and is to realize package structure accelerated in the further miniaturization and the high-density-assembly list after improving the dependability of a connection with the external wiring substrate by easing package curvature.

[0010]

[Means for Solving the Problem] It is the ball grid array package characterized by the equipment of this invention which solves the above-mentioned technical problem coming to carry out the resin seal of the upper part and the lateral portion of a wiring substrate which arranges the ball electrode for electrical connection with external wiring on the base of a substrate, and have the multilayer-interconnection substrate which has a crevice in this base of the substrate concerned, and the principal plane which counters, the semiconductor chip by which fixing loading was carried out with the jointing material for corrugated fibreboard in the crevice concerned of this multilayer-interconnection substrate, and a means connect both electrically, and contain this semiconductor chip.

[0011] Moreover, the process which establishes the crevice which the approach of this invention which solves the above-mentioned technical problem arranges the ball electrode for electrical connection with external wiring on a base, and serves as the depth for at least one layer in a multilayer-interconnection substrate, It is the ball grid array package manufacture approach characterized by consisting of the process which carries out semiconductor chip loading with a jointing material for corrugated fibreboard in the crevice of this multilayer-interconnection substrate, a process which connects both electrically, and a

process which carries out the resin seal of the upper part and the lateral portion containing the semiconductor chip by which connection loading was carried out of a wiring substrate.

[0012] Moreover, the plastic molded type BGA package of this invention equips a base with a ball electrode terminal preferably, a semiconductor chip is carried in the crevice of the wiring substrate which has the path 1 which emits the moisture steam inside a package, and has a crevice, both are connected electrically, and the structure which covers a side face with resin in the wiring substrate up list containing a semiconductor chip attains the above-mentioned purpose.

[0013]

[Embodiment of the Invention] The description concerning this invention carries a semiconductor chip in the concave of a multilayer-interconnection substrate which has the crevice which it is the above depth of the multilayer-interconnection substrates by one layer at least, and has a plane area more than semiconductor chip area in the 1st, and it is characterized by not restricting the electrical installation section of a semiconductor chip and a wiring substrate to the wiring substrate maximum upper layer.

[0014] It is characterized by having a vapor hole as an emission path for the package inland water which carried out gaseous-phase expansion with mounting heat at least one place in a wiring substrate the 2nd. It is characterized by 3rd carrying out mold by resin to a lateral portion in addition to the top-face section of a wiring substrate which carried the semiconductor chip. By having the above-mentioned description, in the 1st, the interface of the solder resist layer of a wiring substrate top front face and closure resin in the conventional plastic molded type BGA is not outside exposed, and the plastic molded type BGA package by this invention has the operation to which osmosis of the moisture from this interface is prevented completely.

[0015] The permeation path of the moisture which meets the 2nd at a wiring substrate as compared with the conventional plastic molded type BGA has the operation which mitigates permeation of the moisture inside a package, when

becoming complicated, and the adhesion reinforcement of a wiring substrate and closure resin improves in a crevice side face and the fracture surface of the perimeter of a wiring substrate. Moreover, since closure resin is easily formed of the transfer mold accompanied by a pressure by the conventional technique, its resin reinforcement is also high.

[0016] In order to interrupt propagation of a stress component at the same time it eases the tensile stress, plane stress, and shearing stress at the time of receiving heat stress in it since it had taking the structure where the field side of closure resin, a semiconductor chip, and a wiring substrate has been arranged in three dimension, and the emission path of an expansion moisture steam in the 3rd, it has the operation which controls the exfoliation inside a package, and crack initiation. Moreover, it has the operation which eases the curvature of the package by the coefficient-of-linear-expansion difference from the reason for said.

[0017]

[Example] Next, the example of this invention is explained to a detail with reference to a drawing. Drawing 1 is the sectional view of the typical example of this invention, and Fig. 2 is a plan in the condition of having not carried out the resin seal. It is characterized by the BGA package of this invention coming to carry out the resin seal of the upper part and the lateral portion of a wiring substrate which arrange the ball electrode for electrical connection with external wiring on the base of a substrate, and have the multilayer-interconnection substrate which has a crevice in this base of the substrate concerned, and the principal plane which counters, the semiconductor chip by which fixing loading was carried out with the jointing material for corrugated fibreboard in the crevice concerned of this multilayer-interconnection substrate, and a means to connect both electrically, and contain this semiconductor chip.

[0018] If Figs. 1 and 2 are referred to, the plastic molded type BGA by this invention The wiring substrate 1 which has the vapor hole 7 and crevice 8 used as the emission path of an expansion moisture steam, arranged the ball electrode terminal 10 for electrical connection with an external wiring substrate

on the base, and formed a power source or signal wiring 11 with the conductive ingredient, It consists of metal wires 6 for connecting a semiconductor chip 2, closure resin 3, the die bonding material 4 for carrying a semiconductor chip in a wiring substrate, and a semiconductor chip and a wiring substrate.

[0019] The wiring substrate 1 is a multilayer substrate of three layers - 15 layers, it consists of conductive wiring materials, such as copper (Cu) metallurgy (Au), and the polyimide film and glass epoxy system resin ingredient with which between each class is insulated electrically, and the solder resist 5 is applied to the base as a protective coat. Moreover, preferably, when a crevice is formed stair-like, the terminal on a semiconductor chip can carry out bonding only to a special layer.

[0020] Moreover, preferably, the laminating is carried out to the wiring substrate center section so that it may have the crevice which serves as the above depth by one layer, and the vapor hole 7 used as the emission path of an expansion moisture steam is arranged at least one or more places around the crevice. As for the pore concerned, in this invention, it is desirable for it to be prepared in contiguity at the wall section of this crevice, or to be prepared in the location between the wall sections and semiconductor chips concerned.

[0021] The ball electrode terminal 10 for electrical connection with an external wiring substrate is arranged on the base of the wiring substrate 1, and a semiconductor chip 2 is connected with external wiring by this ball electrode terminal 10 through wiring including the through hole 9 for electrical signals in the wiring substrate 1. As an ingredient of this ball electrode terminal 10, solder is usually used. A semiconductor chip 2 is pasted up on the crevice of the wiring substrate 1 through the die bonding material 4. Although either electroconductive glue or non-conductive adhesives is usable to die bonding material, when using electroconductive glue, the crevice base which is an adhesion side is good to consider as a grand side.

[0022] Although it connects with substrate wiring through the metal wire 6 as an electrode terminal on a semiconductor chip, it is desirable to use gold (Au) or

aluminum (aluminum) as an ingredient of the metal wire 6. After the gestalt of operation of this invention carries a semiconductor chip 2 in the wiring substrate 1 as mentioned above, it fixes to the Shimokane mold 12 shown in Fig. 3, and it is covered with the upper metal mold 13 which has the resin installation gate 14. Then, it is possible to pour in closure resin, to form the closure resin layer 3 by transfermold, to consist of the resin installation gate 14, and to form two or more plastic molded types BGA in coincidence.

[0023] Fig. 4 is a sectional view in the 1st example of this invention, and Fig. 5 is a plan in the condition of having not carried out the resin seal. the -- four -- a Fig. -- setting -- wiring -- a substrate -- one -- five -- a layer -- a multilayer -- a substrate -- it is -- a wiring material -- 11 -- \*\*\*\* -- nickel-Au -- plating -- having given -- thickness -- 15 -- micrometer -- about -- copper -- (-- Cu --) -- a foil -- using -- a base material -- \*\*\*\*\* -- a glass fabric -- epoxy -- an ingredient -- using it -- constituting -- having -- a substrate -- a base -- \*\*\*\* -- an insulation -- a protective coat -- \*\*\*\*\* -- a solder resist -- five -- applying -- having -- \*\*\*\* .

Moreover, the laminating is carried out so that it may apply to a two-layer eye from the 1st layer, the 1st crevice may be missing from the 3rd layer from a two-layer eye and the 2nd crevice of an area a little smaller than the 1st crevice may be formed from the substrate upper part.

[0024] The solder ball 10 is arranged in the base of the wiring substrate 1, this part fuses at the time of mounting of this package, a solder bump is formed, and it connects with an external wiring substrate electrically. The diameter of this solder ball is about 600 micrometers, and is arranged in the pitch of about 1mm. The approach of sticking to the wiring substrate 1 and carrying the solder ball formed beforehand by the reflow as an approach of carrying a solder ball in the base of the wiring substrate 1 etc. is taken.

[0025] Moreover, as shown also in Fig. 5, the vapor hole 7 which serves as an emission path of an expansion moisture steam so that the wiring substrate 1 may be perpendicularly met each side from an interface with closure resin is arranged. Stopgap is made with the quality of the material as epoxy system resin or a

solder resist with this same interior of a vapor hole, and that effective quantity changes with the size of a semiconductor chip, water absorption of closure resin and a wiring substrate, etc.

[0026] The silver paste was used for the 3rd layer which is the bases of the 2nd crevice of a wiring substrate as die bonding material 4, it is pasted, and the semiconductor chip 2 is connected to the 1st layer and two-layer eye of a wiring substrate by wire bonding made from gold (Au). Thus, by wire-bonding connection being freely connectable like the 1st layer or a two-layer eye, the optimization in the layout of a signal line becomes easy.

[0027] Closure resin 3 is formed of transfermold so that the upper part and the side face of a wiring substrate which the semiconductor chip was carried may be covered with the approach shown in Fig. 3. Fig. 6 is a sectional view in the 2nd example of this invention. In Fig. 6, although the wiring substrate 1 is a multilayer-interconnection substrate which has the crevice which arranged the solder ball for external connection on the base like the 1st example, the connection between a semiconductor chip 2 and a wiring substrate is connected with the electrode of a semiconductor chip by forming the bump 15 who used solder or gold (Au), conductive resin, etc. not using a metal wire, and the semiconductor chip 2 is carried, without using die bonding material. Although it is formed also in this case so that closure resin 3 may cover the upper part and the side face of a substrate like the 1st example, it will permeate and close to the interface of a semiconductor chip 2 and the wiring substrate 1. In addition, as for the 1st layer and the 2nd layer, in this example, it is more desirable than the wiring substrate upper part to consider as a gland or a power-source side, and to make the other layer into a signal-line side.

[0028] According to the approach of carrying out connection loading of the semiconductor chip by bump formation like this example at a direct wiring substrate, when compaction of the wire length for a metal wire and reduction of addition capacity or inductance components are achieved, the degree of freedom of being able to arrange the electrode on a semiconductor chip not only into a

chip periphery but into a central part serves as increase and structure which was more suitable for improvement in the speed and a miniaturization. Moreover, it also becomes possible to prepare the heat dissipation version etc. in a package upper part, i.e., chip rear face, side.

[0029]

[Effect of the Invention] Since permeation of the moisture from a wiring substrate and a closure resin interface is sharply mitigable according to this invention when a moisture permeation path is a three dimension, covering a wiring substrate top face and a side face by closure resin, that the adhesion reinforcement of the wiring substrate in the fracture surface of a crevice and a wiring substrate side face and closure resin is high in a list, and as explained above, damp-proof large improvement is achieved.

[0030] Moreover, the thing for which the stress at the time of three-dimension arrangement being carried out and the resin and the semiconductor chip which are [ water absorption / a modulus of elasticity ] different at the time of a coefficient of thermal expansion and heat when a wiring substrate has a crevice, and a wiring substrate receiving mounting heat stress is eased, Furthermore, improvement in mounting-proof thermal is achieved by having the emission path of an expansion moisture steam. By having the effectiveness of pressing down the exfoliation inside a package, and generating of a crack, and having a crevice in addition to the dependability after mounting improving, it also has the effectiveness of pressing down the curvature of a package and improvement in connection dependability with external wiring is achieved.

[0031] Furthermore, the degree of freedom of the layout of the power-source line in a substrate and a signal line can also expect improvement in the RF property by compaction of increase and the wiring path in a package, or reduction of a noise by the ability making connection with a semiconductor chip in two or more layers in a wiring substrate.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is a side-face sectional view in the gestalt of typical operation of this invention.

[Drawing 2] Drawing 2 is a plan in the condition of having not carried out wirebonding connection of a semiconductor chip and a resin seal, in the gestalt of typical operation of this invention.

[Drawing 3] Drawing 3 is the side-face sectional view of the metal mold for manufacturing the gestalt of typical operation of this invention.

[Drawing 4] Drawing 4 is a side-face sectional view in the 1st example of this invention.

[Drawing 5] Drawing 5 is wirebonding connection of a semiconductor chip and a plan in the condition of having not carried out the resin seal, in the 1st example of this invention.

[Drawing 6] Drawing 6 is a side-face sectional view in the 2nd example of this invention.

[Drawing 7] Drawing 7 is the side-face sectional view of the conventional plastic molded type BGA package.

[Drawing 8] Drawing 8 is the side-face sectional view of the example in JP,62-244141,A.

[Drawing 9] Drawing 9 is the side-face sectional view of the example in JP,7-86335,A.

[Drawing 10] Drawing 10 is the side-face sectional view of the example in JP,2-22886,A.

[Drawing 11] Drawing 11 is the side-face sectional view of the example in JP,4-65463,U.

[Description of Notations]

- 1: Multilayer-interconnection substrate
- 2: Semiconductor chip
- 3: Closure resin
- 4: Die bonding material
- 5: Solder resist
- 6: Metal wire
- 7: Vapor hole
- 8: Substrate crevice
- 9: The through hole for electrical signals
- 10: Ball electrode terminal
- 11: Substrate wiring
- 12: Bump
- 13: Transfermold Shimo metal mold
- 14: Transfermold top metal mold
- 15: Closure resin installation gate
- 16: Resin substrate
- 17: Contact pin
- 18: Stand pin
- 19: Lead
- 20: External wiring substrate
- 21: Active element chip
- 22: Passive element chip
- 23: The crevice for optical reflection

- 24: Electric conduction pattern
- 25: LED chip
- 26: The hole for resin impregnation
- 27: Insulating substrate

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

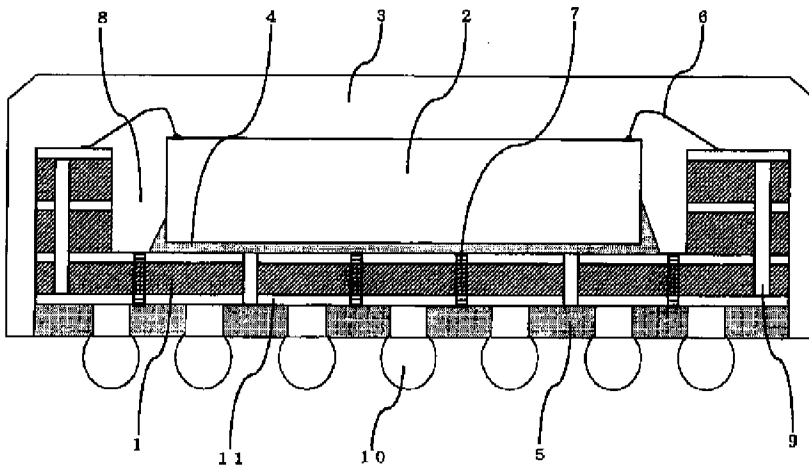
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

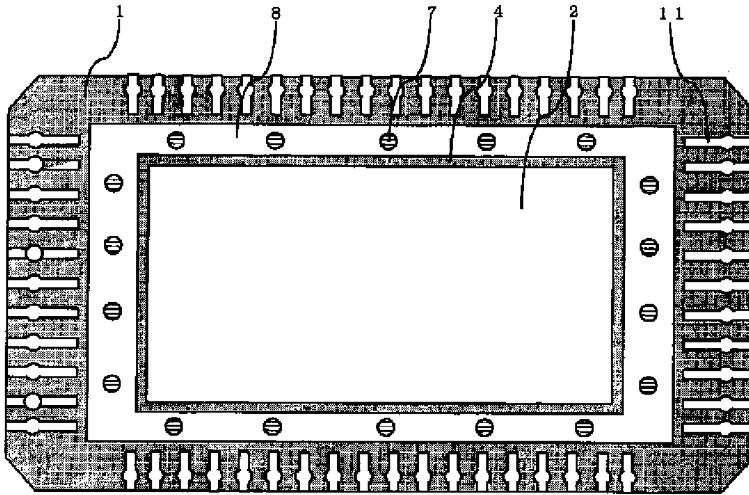
## DRAWINGS

---

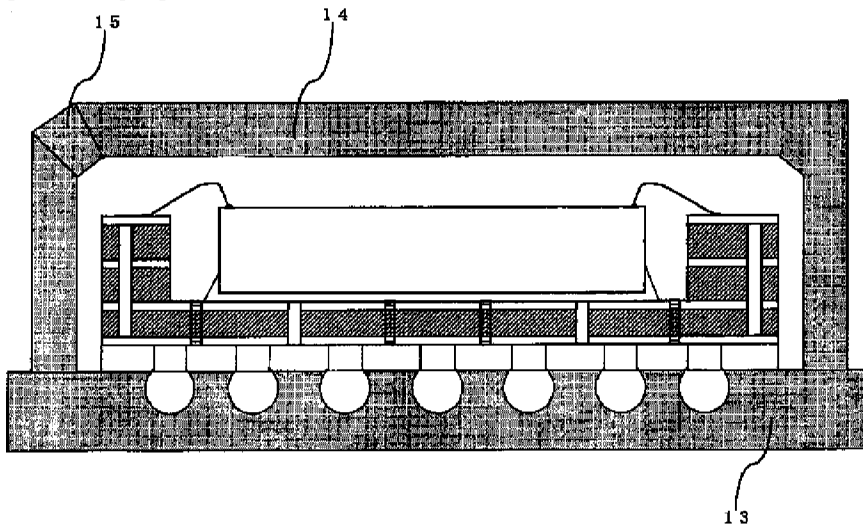
[Drawing 1]



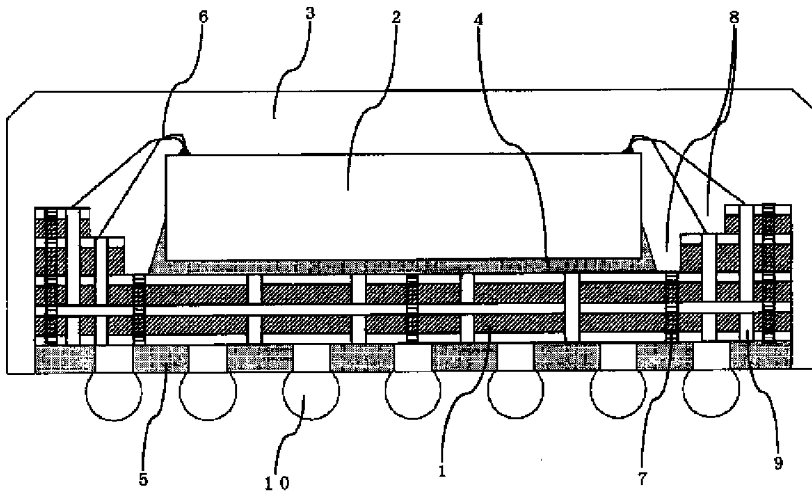
[Drawing 2]



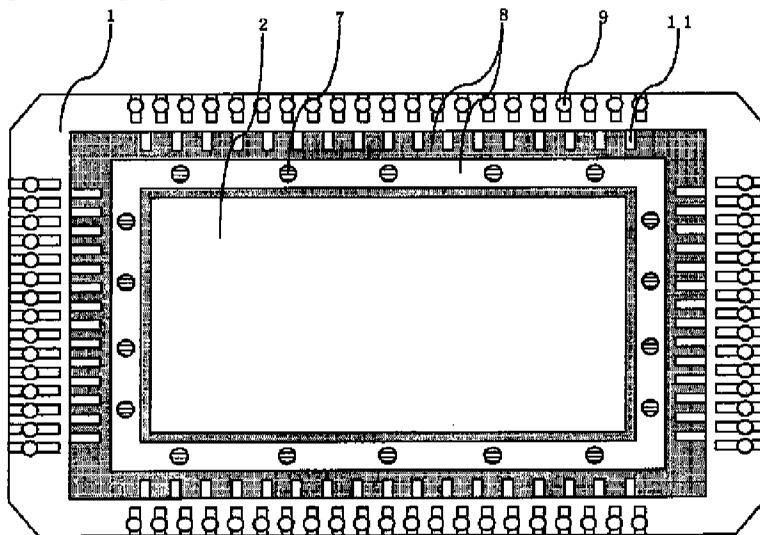
[Drawing 3]



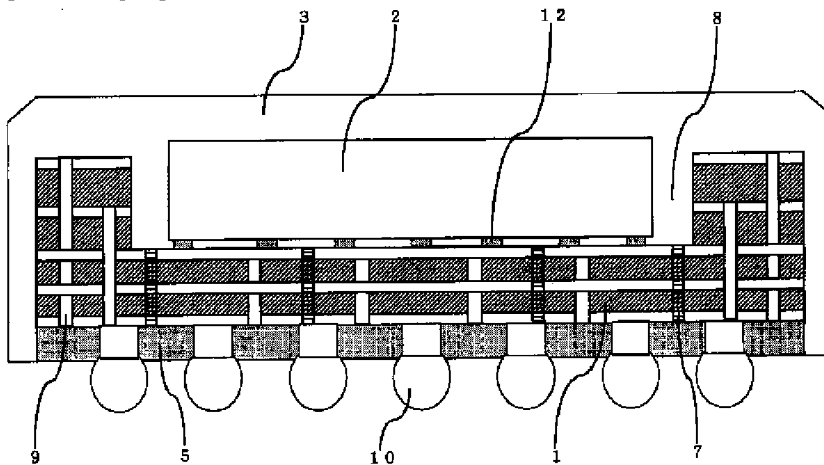
[Drawing 4]



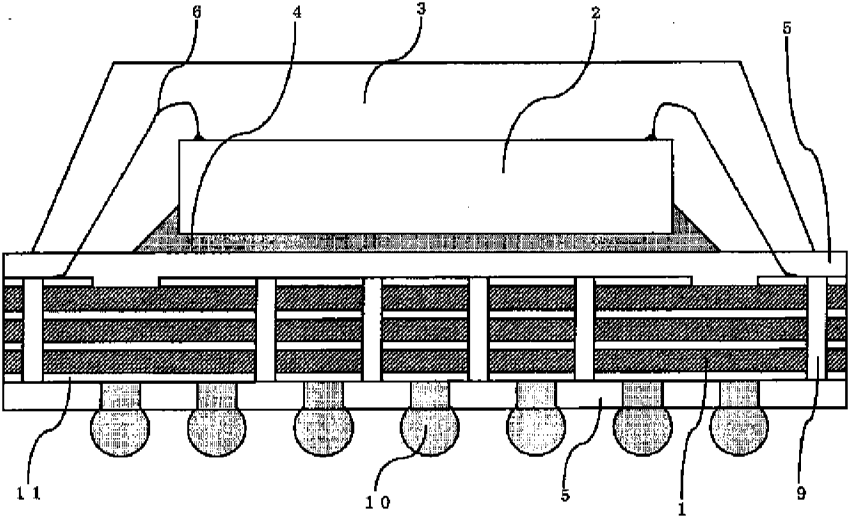
[Drawing 5]



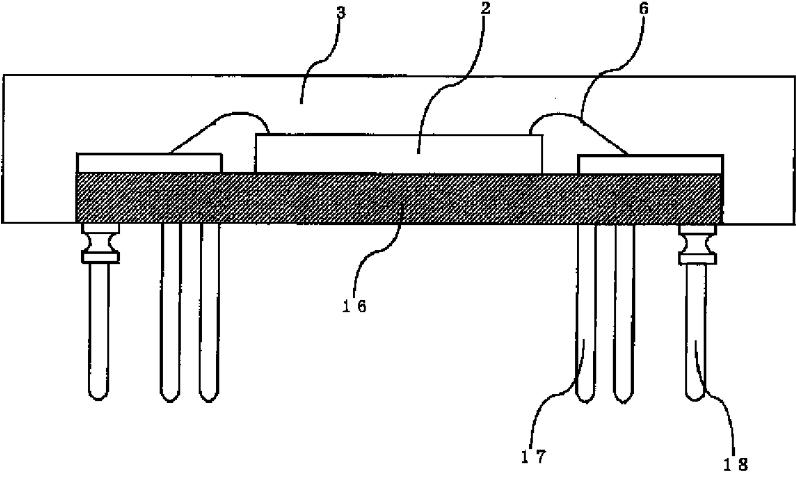
[Drawing 6]



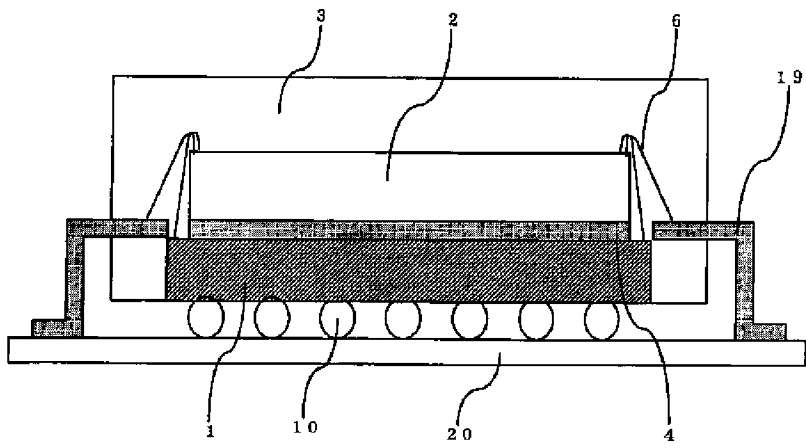
[Drawing 7]



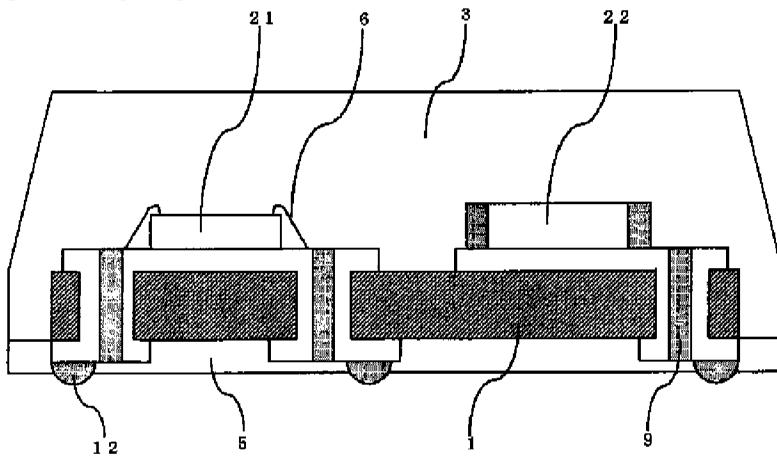
[Drawing 8]



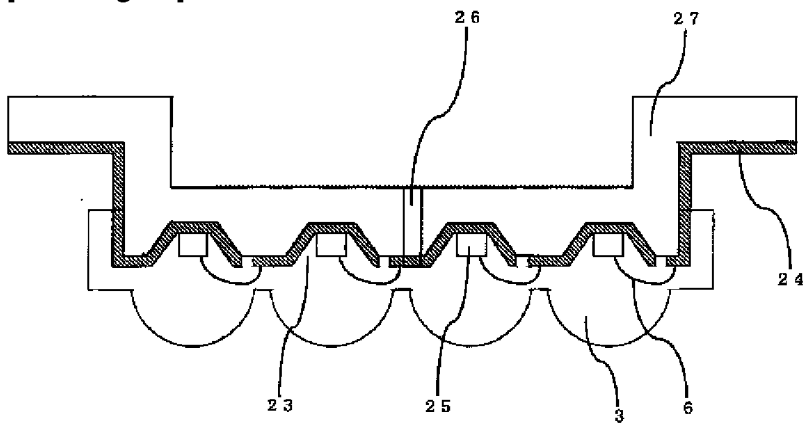
[Drawing 9]



[Drawing 10]



[Drawing 11]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-135560

(43)公開日 平成11年(1999) 5月21日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/60

21/56

23/12

識別記号

3 1 1

3 0 1

F I

H 0 1 L 21/60

21/56

23/12

3 1 1 S

3 0 1 B

R

L

N

審査請求 有 請求項の数10 O L (全 9 頁)

(21)出願番号

特願平9-293817

(22)出願日

平成9年(1997)10月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹田 伸治

東京都港区芝五丁目7番1号 日本電気株式会社社内

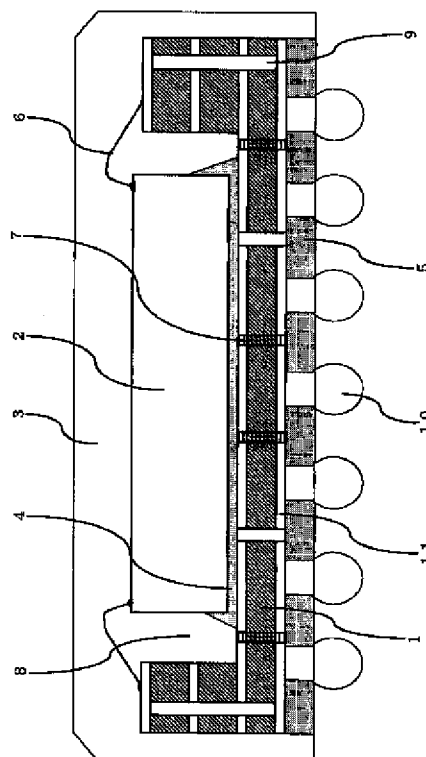
(74)代理人 弁理士 畑 泰之

(54)【発明の名称】 樹脂封止型ボールグリッドアレイ I Cパッケージ及びその製造方法

(57)【要約】

【課題】 樹脂封止型BGAパッケージにおける耐湿性及び耐実装ストレス性を向上するとともにパッケージ反りを緩和することで信頼性を向上し、より高密度実装並びに高速化に適したパッケージ構造を得る。

【解決手段】 パッケージ内部で熱膨張した水分蒸気の放出経路7を備えた多層配線基板1に凹部8を設け、凹部に半導体チップを搭載、電気接続し、パッケージ上面及び側面を樹脂封止する構造により、水分の浸入を防止し、熱ストレスを受けた際の応力を緩和することでパッケージ内部の剥離やクラックの発生を防止する。また、凹部を有効に利用した電気接続を行うことで配線長の短縮などにより高周波特性を向上する。



**【特許請求の範囲】**

【請求項1】 基板の底面に外部配線との電気接続用のボール電極を配し、当該基板の該底面と対向する主面に凹部を有する多層配線基板と、接合材により該多層配線基板の当該凹部に固着搭載された半導体チップと、両者を電氣的に接続する手段とを有しかつ、該半導体チップを含む配線基板の上部及び側面部を樹脂封止してなることを特徴とするボールグリッドアレイ（以下、BGAという）パッケージ。

【請求項2】 前記パッケージ内部に浸透した水分が熱により気相膨張した際の蒸気を放出する為の経路となる孔を配線基板内に少なくとも1箇所有することを特徴とする請求項1記載のBGAパッケージ。

【請求項3】 前記多層配線基板内に異なる平面積或いは異なる深さを有する複数個の凹部が設けられ該半導体チップのそれぞれが該多層配線基板の異なる層の配線部と電氣的に接続されていることを特徴とする請求項1又は2記載のBGAパッケージ。

【請求項4】 前記半導体チップと配線基板とを半田或いは金、導電性樹脂によるバンパを形成することにより接続搭載することを特徴とする請求項1記載のBGAパッケージ。

【請求項5】 当該孔部は適宜の樹脂材料で充填されていることを特徴とする請求項1～4のいずれかに記載のパッケージ。

【請求項6】 当該孔部は、該凹部の内壁部に近接して設けられているか、或いは、当該内壁部と半導体チップの間の位置に設けられていることを特徴とする請求項1～5のいずれかに記載のパッケージ。

【請求項7】 底面に外部配線との電気接続用のボール電極を配し、少なくとも1層分の深さとなる凹部を多層配線基板に設ける工程と、接合材により該多層配線基板の凹部に半導体チップを搭載する工程と、両者を電氣的に接続する工程と、接続搭載された半導体チップを含む配線基板の上部及び側面部を樹脂封止する工程よりなることを特徴とするボールグリッドアレイ（以下、BGAという）パッケージ製造方法。

【請求項8】 前記パッケージ内部に浸透した水分が熱により気相膨張した際の蒸気を放出する為の経路となる孔を配線基板内に少なくとも1箇所有することを特徴とする請求項7記載のBGAパッケージ製造方法。

【請求項9】 前記多層配線基板内に異なる平面積及び異なる深さの凹部を有し、多層配線基板の異なる層にて半導体チップとの電氣的接続箇所を有することを特徴とする請求項7記載のBGAパッケージ製造方法。

【請求項10】 前記半導体チップと配線基板とを半田或いは金、導電性樹脂によるバンパを形成することにより接続搭載することを特徴とする請求項7記載のBGAパッケージ製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、接続用ボール電極端子を有する配線基板に半導体集積回路を搭載した樹脂封止型BGAパッケージとその製造方法に関する。

**【0002】**

【従来の技術】図7に示すような半導体集積回路を搭載する半導体パッケージにおいては、従来の挿入実装型パッケージを経て、より高密度基板実装が可能となる表面実装型パッケージが開発されてきた。しかしながら、このパッケージ側面に電極リードを配置した表面実装型パッケージでは狭いピッチでの基板実装技術の限界に近づき、さらなる小型化、多ピン化に対応出来なくなっている。

【0003】そこで、従来の表面実装型パッケージと比較してエリアアレイの電極配置によるパッケージの小型化並びに多ピン化、パッケージ内配線経路の短縮による高周波特性の向上等の面で有利、且つ同等程度のコストで製造可能な樹脂封止型BGAパッケージが採用されてきている。図7は、従来の樹脂封止型BGAの代表的な構造を示したものであり、従来技術では溶剤レジスト5が塗布されたエポキシ系樹脂材料で構成される多層配線基板1上にダイボンディング材4を介して半導体チップ2が搭載され、半導体チップを含む基板上部のみを封止樹脂3がモールドされている構造をとっている。この従来の構造は、特に耐湿性、耐実装熱性及びコプラナリティの面で欠点を有している。

【0004】これに対して、配線基板に半導体チップを搭載し、配線基板の上面及び側面を封止樹脂層により覆うことで耐湿性を高めたビングリッドアレイパッケージ構造が特開昭62-244141号公報として、又、光学反射用の凹部を設けた配線基板にLEDチップを搭載し配線基板の側面又は裏面まで透明樹脂で覆うことで樹脂の剥離、水分の進入を防止しているモジュールタイプLEDの構造が実開平4-65463号公報として開示されている。

【0005】また、多ピン化及び高密度実装に適したパッケージとして、配線基板に半導体チップを搭載し基板上面及び側面を樹脂モールドした半田バンパ付きのパッケージ構造が特開平7-86335号公報及び特開平2-22886号公報に開示されている。

**【0006】**

【発明が解決しようとする課題】上述した従来の樹脂封止型BGAパッケージ構造では、半導体チップを搭載した配線基板上部のみが樹脂封止された構造の為、配線基板表面の溶剤レジスト層と封止樹脂との界面での密着強度が弱く、この部分からの水分の浸透がパッケージ内部の腐食や剥離を誘発し、パッケージ全体の耐湿性を大きく低下させる要因となる。

【0007】更に、封止樹脂と配線基板との熱膨張係数、熱時弾性率、吸水率の差により、実装時の熱ストレ

スをうけた際、樹脂とチップ及び配線基板との界面が2次元平面の積層構造でしかない為、この部分での剥離やクラックを生じ易い。また、パッケージ内部に浸透した水分が実装熱により気相膨張した際の放出経路を備えていない為、同不具合を生じやすい。これらの剥離やクラックの発生は、パッケージ内部でダイボンディング材や基板配線材の高抵抗化或いは断線を引き起こし、LSIの動作不良や電氣的絶縁不良に至る可能性がある。

【0008】また、封止樹脂と配線基板との線膨張係数の差による反りの発生も大きくなる構造である。このような反りの発生は、半田バンプと外部配線基板との接続不良の原因となる。一方、特開昭62-244141号公報(第8図)、特開平7-86335号公報(第9図)及び特開平2-22886号公報(第10図)に記載の技術は、いずれも2次元平面基板の上部及び側面を樹脂モールドしたのみの構造であり、熱膨張係数の異なる物質の単純積層である為、上述したような実装熱ストレス時の剥離やクラックを発生させる応力を緩和する作用に乏しい上、パッケージの反りを緩和するにも不十分な構造である。また、実開平4-65463号公報記載の技術(第11図)は高密度実装及び多ピン化に適さないパッケージ構造である上、樹脂の回り込み部を有するのみでは、実装熱による剥離を防止するには不十分である。更に、特開昭62-244141号公報(第8図)及び実開平4-65463号公報記載の技術(第11図)はBGA構造をとっておらず、電氣的特性上の優位性を有していない。

【0009】本発明の目的は、これら従来技術の持つ耐湿性及び耐実装熱性という信頼性面での欠点を克服し、パッケージ反りを緩和することによる外部配線基板との接続部の信頼性を向上した上で更なる小型化、高密度実装並びに高速化したパッケージ構造を実現することにある。

【0010】

【課題を解決するための手段】上記課題を解決する本発明の装置は、基板の底面に外部配線との電気接続用のボール電極を配し、当該基板の該底面と対向する主面に凹部を有する多層配線基板と、接合材により該多層配線基板の当該凹部に固着搭載された半導体チップと、両者を電氣的に接続する手段とを有しかつ、該半導体チップを含む配線基板の上部及び側面部を樹脂封止してなることを特徴とするボールグリッドアレイパッケージである。

【0011】また上記課題を解決する本発明の方法は、底面に外部配線との電気接続用のボール電極を配し、少なくとも1層分の深さとなる凹部を多層配線基板に設ける工程と、接合材により該多層配線基板の凹部に半導体チップを搭載する工程と、両者を電氣的に接続する工程と、接続搭載された半導体チップを含む配線基板の上部及び側面部を樹脂封止する工程よりなることを特徴とするボールグリッドアレイパッケージ製造方法である。

【0012】また好ましくは、本発明の樹脂封止型BGAパッケージは、底面にボール電極端子を備え、パッケージ内部の水分蒸気を放出する経路1を有し、凹部を有する配線基板の凹部に半導体チップを搭載し、両者を電氣的に接続し、半導体チップを含む配線基板上部並びに側面を樹脂で被覆する構造により上記目的を達成する。

【0013】

【発明の実施の形態】本発明に係る特徴は第1に、少なくとも多層配線基板のうちの1層分以上の深さで、半導体チップ面積以上の平面積をもつ凹部を有する多層配線基板の凹に半導体チップを搭載し、半導体チップと配線基板の電氣的接続部は配線基板最上層に限らないことを特徴とする。

【0014】第2に、配線基板には実装熱により気相膨張したパッケージ内水分の放出経路としてのベーパーホールを少なくとも1箇所有することを特徴とする。第3に、半導体チップを搭載した配線基板の上面部に加えて側面部まで樹脂でモールドすることを特徴とする。本発明による樹脂封止型BGAパッケージは、上記の特徴を有することにより、第1に、従来の樹脂封止型BGAにおける配線基板上表面のソルダーレジスト層と封止樹脂との界面が外部に露出しておらず、該界面からの水分の浸透を完全に防止する作用を有する。

【0015】第2に、従来の樹脂封止型BGAと比較して配線基板に沿う水分の浸入経路は複雑になる上、凹部側面及び配線基板周囲の破断面にて配線基板と封止樹脂との密着強度が向上することにより、パッケージ内部への水分の浸入を軽減する作用を有する。また、封止樹脂は従来技術により容易に、且つ圧力を伴うトランスファーモールドにより形成される為、樹脂強度も高い。

【0016】第3に、封止樹脂、半導体チップ及び配線基板の各界面が3次元的に配置された構造をとること、及び膨張水分蒸気の放出経路を有することから、熱ストレスを受けた際の引っ張り応力、平面応力及びせん断応力を緩和すると同時に応力成分の伝搬を遮る為、パッケージ内部での剥離やクラック発生を抑制する作用を有する。また、同理由から、線膨張係数差によるパッケージの反りを緩和する作用を有する。

【0017】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図1は本発明の典型的な実施例の断面図であり、第2図はその樹脂封止をしていない状態の上面図である。本発明のBGAパッケージは、基板の底面に外部配線との電気接続用のボール電極を配し、当該基板の該底面と対向する主面に凹部を有する多層配線基板と、接合材により該多層配線基板の当該凹部に固着搭載された半導体チップと、両者を電氣的に接続する手段とを有しかつ、該半導体チップを含む配線基板の上部及び側面部を樹脂封止してなることを特徴とするものである。

【0018】第1図及び第2図を参照すると、本発明による樹脂封止型BGAは、膨張水分蒸気の放出経路となるペーパーホール7と凹部8とを有し、その底面に外部配線基板との電気接続用のボール電極端子10を配し、導電性材料で電源或いは信号配線11を形成した配線基板1と、半導体チップ2と封止樹脂3と、半導体チップを配線基板に搭載するためのダイボンディング材4と、半導体チップと配線基板とを接続するための金属ワイヤー6とから構成される。

【0019】配線基板1は3層～15層の多層基板であり、銅(Cu)や金(Au)等の導電性配線材料と、各層間を電氣的に絶縁するポリイミド膜やガラス・エポキシ系樹脂材料で構成され、底面には保護膜としてソルダーレジスト5が塗布されている。また好ましくは、凹部が階段状に形成される場合には、半導体チップ上の端子は特別の層にのみボンディングできる。

【0020】また好ましくは、配線基板中央部には1層分以上の深さとなる凹部を有する様に積層されており、凹部周辺には膨張水分蒸気の放出経路となるペーパーホール7が少なくとも1箇所以上配置されている。本発明においては当該孔部は、該凹部の内壁部に近接に設けられているか、或いは、当該内壁部と半導体チップの間の位置に設けられていることが好ましい。

【0021】配線基板1の底面には外部配線基板との電気接続用のボール電極端子10を配しており、半導体チップ2はこのボール電極端子10により、配線基板1内の電気信号用スルーホール9を含む配線を介して外部配線と接続される。このボール電極端子10の材料としては、通常、半田が用いられる。半導体チップ2は、ダイボンディング材4を介して配線基板1の凹部に接着される。ダイボンディング材には導電性接着剤、非導電性接着剤のどちらでも使用可能であるが、導電性接着剤を用いる場合は接着面である凹部底面はグランド面とするのがよい。

【0022】半導体チップ上の電極端子として基板配線とは金属ワイヤー6を介して接続されるが、金属ワイヤー6の材料としては金(Au)或いはアルミ(Al)を用いるのが望ましい。本発明の実施の形態は、上述の様に半導体チップ2を配線基板1に搭載したのち、第3図に示す下金型12に固定し、樹脂導入ゲート14を有する上金型13で覆う。その後、樹脂導入ゲート14より封止樹脂を注入し、トランスファモールドにより封止樹脂層3を形成して成り、複数個の樹脂封止型BGAを同時に形成することが可能である。

【0023】第4図は本発明の第1実施例における断面図であり、第5図はその樹脂封止をしていない状態の上面図である。第4図において、配線基板1は5層の多層基板であり、配線材料11にはNi-Auメッキを施した厚さ15 $\mu$ m程度の銅(Cu)箔を用い、基材としてガラス繊維とエポキシ材料を使用して構成され、基板底

面には絶縁保護膜としてソルダーレジスト5が塗布されている。また、基板上部より1層目から2層目にかけて第1の凹部が、2層目から3層目にかけて第1の凹部よりやや小さい面積の第2の凹部が形成されるように積層されている。

【0024】配線基板1の底面には半田ボール10が配列され、本パッケージの実装時には該部分が溶融し、半田バンプを形成して外部配線基板と電氣的に接続される。この半田ボールの直径はおよそ600 $\mu$ m程度であり、1mm程度のピッチで配列されている。半田ボールを配線基板1の底面に搭載する方法としては、予め形成された半田ボールを配線基板1に吸着し、リフローによって搭載する方法などをとる。

【0025】また、第5図にも示す様に、配線基板1には封止樹脂との界面から垂直に、各辺に沿うように膨張水分蒸気の放出経路となるペーパーホール7が配列されている。このペーパーホール内部は、エポキシ系樹脂或いはソルダーレジストと同じ材質にて穴埋めがなされており、その有効数量は半導体チップのサイズや封止樹脂及び配線基板の吸水率等によって異なる。

【0026】半導体チップ2は、配線基板第2の凹部の底面である3層目に、ダイボンディング材4として銀ペーストを用いて接着されており、配線基板の1層目及び2層目とに金(Au)を材料とするワイヤーボンディングにより接続されている。この様にワイヤーボンディング接続を1層目或いは2層目というように自由に接続できることにより、信号線のレイアウトにおける最適化が容易になる。

【0027】封止樹脂3は、第3図に示した方法により、半導体チップを搭載した配線基板の上部及び側面を被覆するようにトランスファモールドにより形成される。第6図は本発明の第2実施例における断面図である。第6図において、配線基板1は第1実施例同様、底面に外部接続用の半田ボールを配列した凹部を有する多層配線基板であるが、半導体チップ2と配線基板との接続は金属ワイヤーを用いず、半田或いは金(Au)、導電性樹脂などを使用したバンプ15を形成することにより、半導体チップの電極と接続され、半導体チップ2はダイボンディング材を用いずに搭載されている。この場合も封止樹脂3は第1実施例同様、基板の上部及び側面を覆うように形成されるが、半導体チップ2と配線基板1との界面まで浸入し封止することとなる。尚、本実施例においては配線基板上部より第1層及び第2層はグランド或いは電源面とし、それ以外の層を信号線面とするのが望ましい。

【0028】本実施例のように半導体チップをバンプ形成により直接配線基板に接続搭載する方法によれば、金属ワイヤー分の配線長の短縮及び付加容量やインダクタンス成分の削減が図られる上、半導体チップ上の電極をチップ外周だけでなく中央部分にも配置できるなどの自

由度が増し、より高速化、小型化に適した構造となる。  
また、パッケージ上部、すなわちチップ裏面側に放熱版などを設けることも可能となる。

【0029】

【発明の効果】以上説明したように、本発明によれば配線基板上面及び側面を封止樹脂で覆うこと、並びに凹部及び配線基板側面の破断面での配線基板と封止樹脂との密着強度が高いこと、水分浸入経路が3次元であることにより、配線基板と封止樹脂界面からの水分の浸入を大幅に軽減することができるので、耐湿性の大幅な向上が図られる。

【0030】また、配線基板が凹部を有することにより、熱膨張係数、熱時弾性率、吸水率等の異なる、樹脂、半導体チップ、配線基板が3次元配置され、実装熱ストレスを受けた際の応力が緩和されること、更に、膨張水分蒸気の放出経路を備えていることにより、耐実装熱性の向上が図られ、パッケージ内部での剥離やクラックの発生を押さえる効果を有し、実装後の信頼性が向上するのに加え、凹部を有することによりパッケージの反りを押さえる効果も有し、外部配線との接続信頼性の向上が図られる。

【0031】更に、配線基板内の複数の層にて半導体チップとの接続を行えることにより、基板内の電源線、信号線のレイアウトの自由度が増し、パッケージ内配線経路の短縮やノイズの低減による高周波特性の向上も期待できる。

【図面の簡単な説明】

【図1】図1は、本発明の典型的な実施の形態における側面断面図である。

【図2】図2は、本発明の典型的な実施の形態において、半導体チップのワイヤボンディング接続及び樹脂封止をしていない状態の上面図である。

【図3】図3は、本発明の典型的な実施の形態を製造するための金型の側面断面図である。

【図4】図4は、本発明の第1実施例における側面断面図である。

【図5】図5は、本発明の第1実施例において、半導体チップのワイヤボンディング接続、及び樹脂封止をしていない状態の上面図である。

【図6】図6は、本発明の第2実施例における側面断面

図である。

【図7】図7は、従来の樹脂封止型BGAパッケージの側面断面図である。

【図8】図8は、特開昭62-244141号公報における実施例の側面断面図である。

【図9】図9は、特開平7-86335号公報における実施例の側面断面図である。

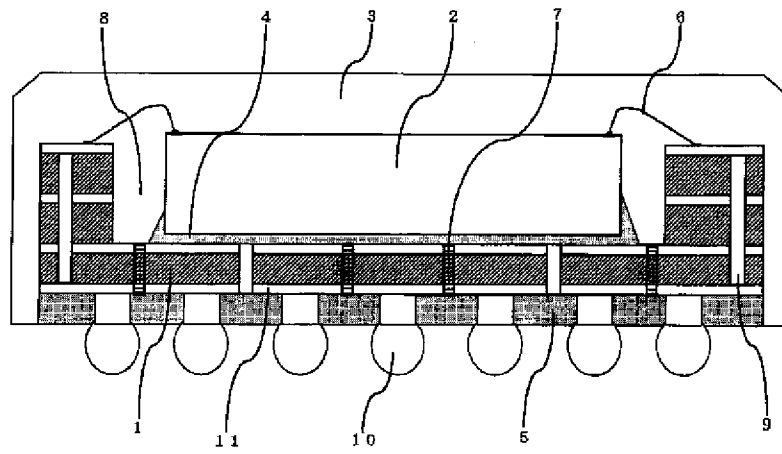
【図10】図10は、特開平2-22886号公報における実施例の側面断面図である。

【図11】図11は、実開平4-65463号公報における実施例の側面断面図である。

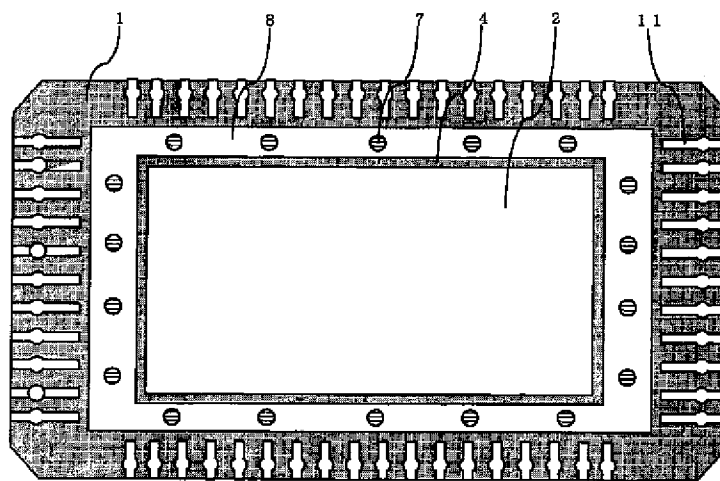
【符号の説明】

- 1：多層配線基板
- 2：半導体チップ
- 3：封止樹脂
- 4：ダイボンディング材
- 5：ソルダーレジスト
- 6：金属ワイヤー
- 7：ペーパーホール
- 8：基板凹部
- 9：電気信号用スルーホール
- 10：ボール電極端子
- 11：基板配線
- 12：バンパ
- 13：トランスファモールド下金型
- 14：トランスファモールド上金型
- 15：封止樹脂導入ゲート
- 16：樹脂基板
- 17：コンタクトピン
- 18：スタンドピン
- 19：リード
- 20：外部配線基板
- 21：能動素子チップ
- 22：受動素子チップ
- 23：光学反射用凹部
- 24：導電パタン
- 25：LEDチップ
- 26：樹脂注入用孔
- 27：絶縁基板

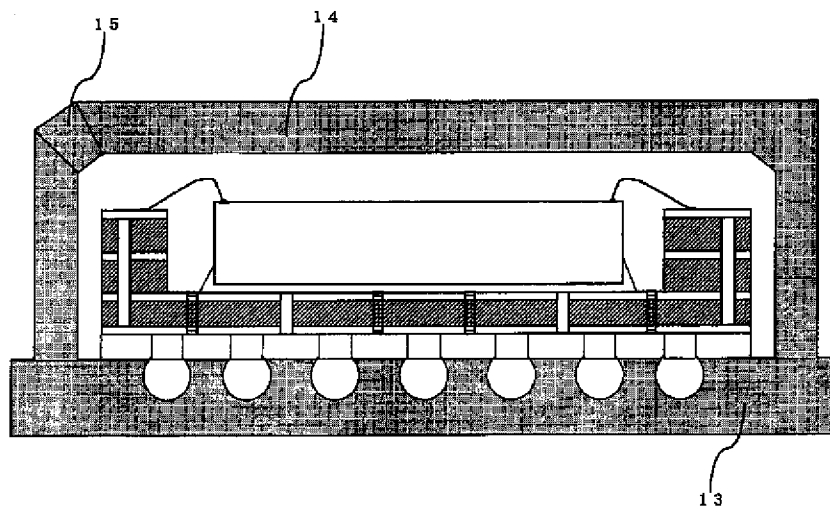
【図1】



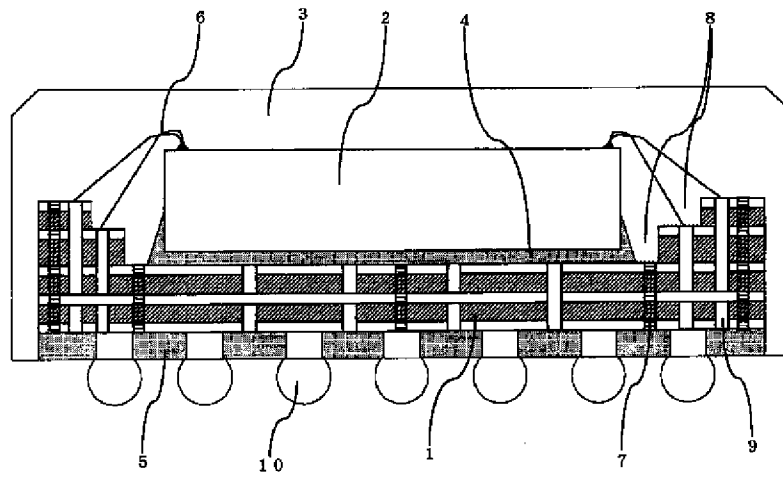
【図2】



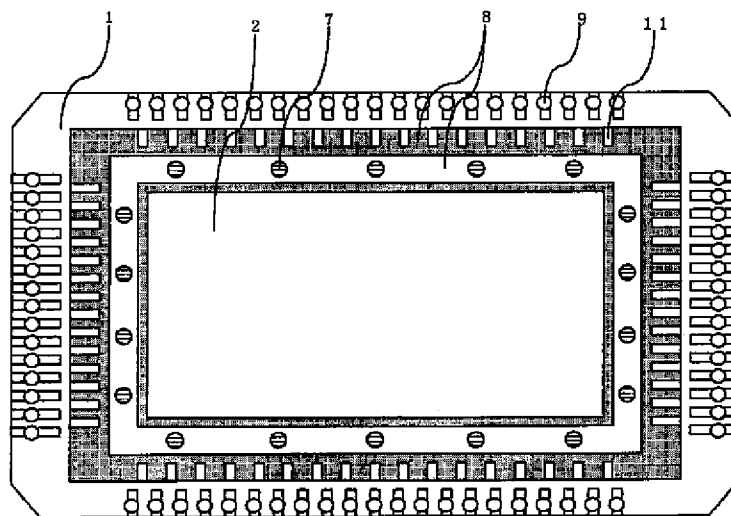
【図3】



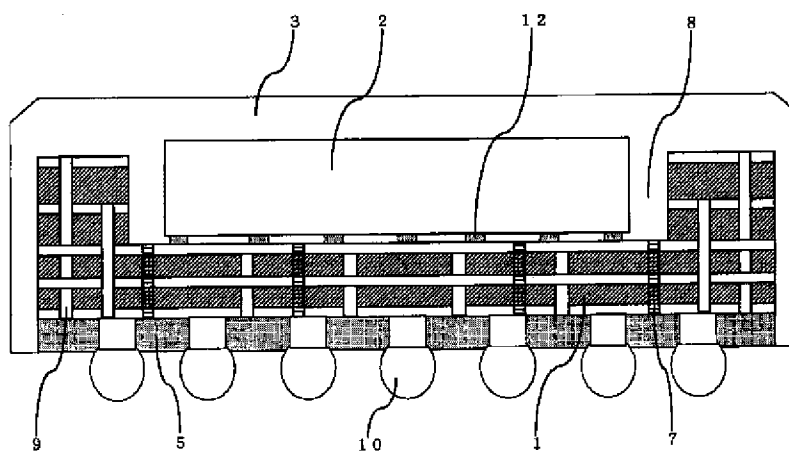
【図4】



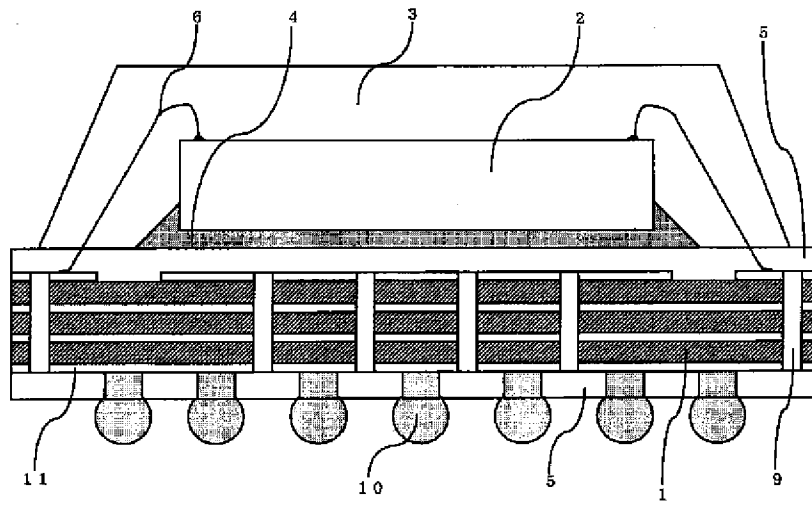
【図5】



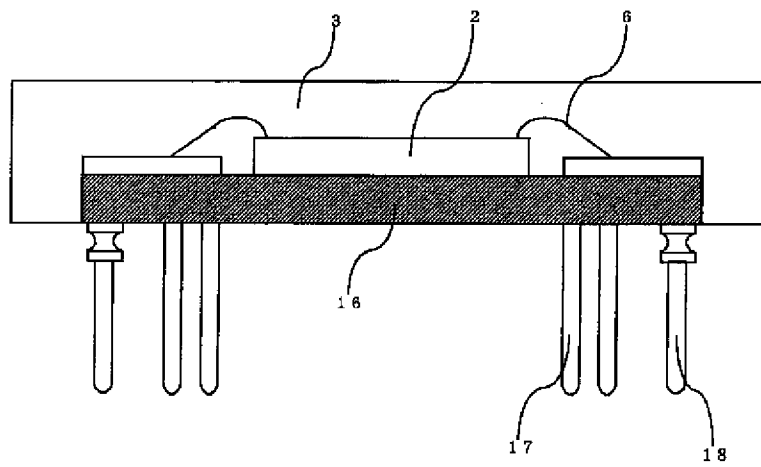
【図6】



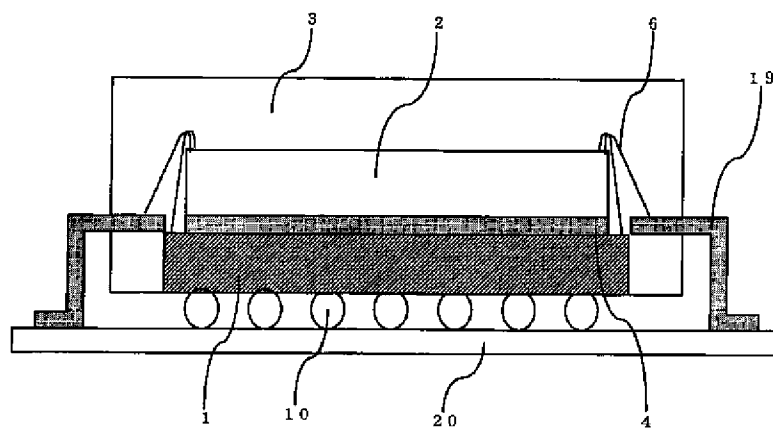
【図7】



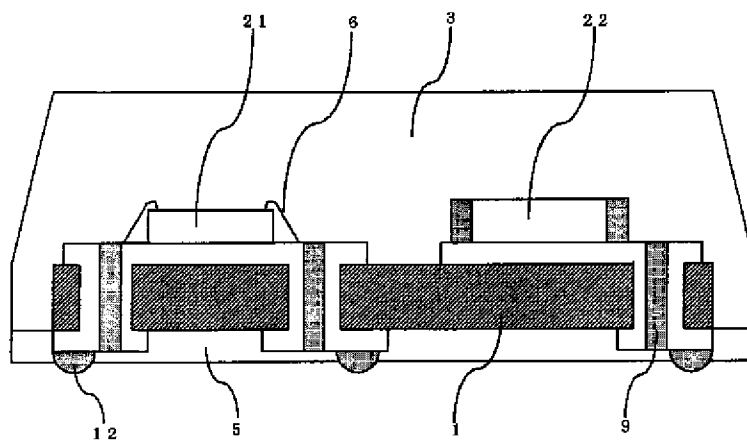
【図8】



【図9】



【図10】



【図11】

